

ANÁLISIS COMPARATIVO DE CONVERTIDORES ANALÓGICO - DIGITAL COMERCIALES PARA SISTEMAS DE ADQUISICIÓN DE DATOS

Ing. Víctor Raúl Arteaga-Pérez, M.C. Nicolás Quiroz-Hernández,
M.C. Héctor Santiago-Ramírez, Dr. Gerardo Mino-Aguilar
Benemérita Universidad Autónoma de Puebla
Facultad de Ciencias de la Electrónica
Av. San Claudio y 18 Sur Edif. FCE1
Col. San Manuel, Ciudad Universitaria, Puebla, Pue. CP 72570
Tel: 01 (222) 229 55 00 Ext 7400 y 7401
e-mail: vrap_100@hotmail.com

RESUMEN.

En este documento se describe un análisis comparativo de soluciones comerciales de convertidores analógico – digital (ADC). Se analizan los microcontroladores con ADC integrados y los circuitos integrados ADC dedicados con sus diferentes métodos de implementación. Se comparan sus ventajas y desventajas con base a sus características de acuerdo al estado del arte existente. Se determina la viabilidad de implementación de cada aproximación con base a las características requeridas de diseño para sistemas de adquisición de datos (DAQ). Se propone una implementación prototipo de un DAQ diseñado para pruebas de simulación de impacto utilizadas en el sector automotriz de acuerdo a la norma SAEJ-211.

Palabras Clave: Sistemas de Adquisición de Datos, Convertidor Analógico-Digital.

ABSTRACT.

In this document a comparative analysis of commercial Analog-to-Digital Converters (ADC) solutions is described. Microcontrollers with integrated ADC and dedicated ADC integrated circuits and their different implementation methods are reviewed. Advantages and disadvantages are compared based on existing state of the art. Viability of implementation of each approach based on required design characteristics for data acquisition systems (DAQ) is determined. A prototype implementation of DAQ for car crash simulation tests used in the automotive industry sector based on SAEJ-211 norm is proposed.

Keywords: Data Acquisition Systems, Analog-Digital Converter.

1. INTRODUCCIÓN

Los sistemas de adquisición de datos son dispositivos esenciales en la instrumentación electrónica. Tienen un papel muy importante en diversas áreas de la electrónica y de muchas otras disciplinas. Son los encargados de la cuantificación de los fenómenos físicos a través de la medición de señales analógicas. Con el conocimiento derivado del análisis y procesamiento de las señales, se puede determinar desde el origen del fenómeno hasta inferir el comportamiento futuro de un sistema completo.

El diseño de un sistema de adquisición de datos no es una labor simple. El diseñador debe tener conocimiento y dominio de

diferentes disciplinas de la electrónica, las cuales se pueden agrupar en dos áreas grandes: la electrónica analógica, donde se debe tener conocimiento de los diferentes tipos de sensores a usar, de circuitos de acondicionamiento, amplificación, filtrado y transformación de señales; y el área de la electrónica digital donde se debe revisar el muestreo, adquisición y post-procesamiento de las señales en el dominio digital. Es tarea del diseñador el integrar todos estos componentes individuales en un sistema completo funcional [1].

Dependiendo de la aplicación, las secciones de acondicionamiento de sensores, filtrado y amplificación de un DAQ varían en cantidad de etapas y calidad de acuerdo a los requerimientos de diseño. Sin embargo, cuando se trata de digitalizar las señales, todo sistema debe contar con al menos un ADC para llevar a cabo esta labor.

La conexión entre el dominio de las señales analógicas y las señales digitales se realiza a través del convertidor analógico-digital (ADC), y al sentido contrario se utiliza el convertidor digital-analógico (DAC). Para una tarjeta de adquisición de datos, el que se emplea es el ADC debido a la dirección del flujo de datos (Figura 1). Inicia con la magnitud física a medir y termina con el dato digital que representa dicha magnitud.

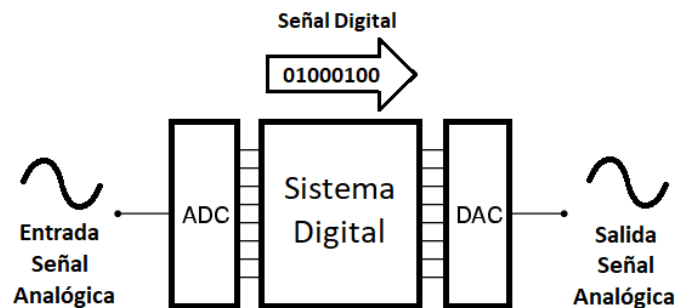


Figura 1. Flujo de señales analógicas y digitales en un sistema de adquisición de datos.

Un ADC es un dispositivo electrónico que convierte una señal de voltaje o corriente de entrada en un dato numérico proporcional a su magnitud. Existen diferentes tipos de topología o arquitecturas de ADC, las principales y más usadas son las siguientes [2]:

- Sigma-Delta
- Registro de Aproximaciones Sucesivas (SAR)
- Pipeline
- Flash

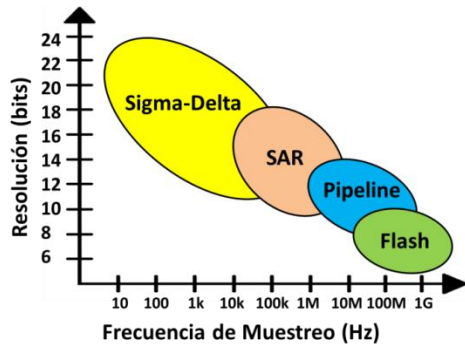


Figura 2. Rango de desempeño típico de las diferentes arquitecturas de ADC [3].

En la Figura 2 se puede apreciar que dependiendo de la topología empleada de ADC, algunas de sus características se ven comprometidas en beneficio de otras. Usualmente la primer decisión del diseñador es seleccionar aquella arquitectura cuya relación entre la resolución y la frecuencia de muestreo sea la que mejor se ajuste a las necesidades de diseño.

En los sistemas de adquisición de datos, el ADC del tipo SAR es la topología más usada debido a su menor consumo de energía, su circuitería más simple, y por lo tanto, menor área de silicio y menor costo [4].

Otra razón para optar por la topología SAR ha sido la demanda actual de dispositivos portátiles en los cuales el consumo de la batería es un parámetro muy importante. Tal es el caso de los sistemas de adquisición y procesamiento biomédicos [5] [6], donde el bajo consumo del ADC SAR y su buena relación resolución/frecuencia de muestreo hace que sea uno de los convertidores más usados [2].

2. SOLUCIONES COMERCIALES DE ADC

En el mercado de componentes electrónicos existen diferentes tipos de ADC disponibles comercialmente, cada uno tiene sus características particulares y es labor del diseñador encontrar uno que se adecue a las necesidades de diseño. Usualmente se pueden encontrar convertidores ADC monolíticos, y con los avances en la tecnología también existen microcontroladores

que incluyen ADC integrado. Se analizará a continuación las ventajas y desventajas que tiene cada uno.

2.1. Convertidor Analógico-Digital Integrado.

Algunos de los fabricantes más importantes de convertidores ADC son las empresas Analog Devices/Linear Technology, Texas Instruments y Maxim Integrated. Cada una ofrece diferentes ADC integrados con características que se ajustan para diversas aplicaciones. Entre su catálogo existen ADC con resoluciones desde 1 hasta 32 bits [7] [8], capacidad de conversión precisa por debajo de 2 Msps y convertidores de alta velocidad de hasta 2 Gsps [9]. Las arquitecturas más comunes a nivel comercial son la SAR y la Sigma-Delta.

2.2. Interfaces Digitales de los ADC Integrados.

Independientemente del tipo de ADC que se tenga, los datos digitales tendrán que ser recolectados de alguna forma. Dependiendo de la velocidad de muestreo y su resolución de un ADC se opta por dar preferencia al protocolo que soporte la tasa de transferencia de datos en tiempo real de cada conversión realizada. Se pueden encontrar interfaces de baja velocidad, como I2C e I2S; de mediana velocidad como la *Serial Peripheral Interface* (SPI), *Quad-SPI* e SPI Paralelo; y de alta velocidad como la *Low Voltage Differential Signaling* (LVDS) y JESD204B. Esta última, JESD204B, es una interfaz de reciente creación cuya velocidad máxima de transmisión de datos de acuerdo al estándar es de 12.5 Gbps [10].

2.3. Microcontrolador con ADC integrado.

La otra solución comercial para la implementación de un ADC en un sistema de adquisición de datos son los microcontroladores con convertidor integrado. Esto ofrece la ventaja de la reducción de espacio en el diseño de una tarjeta con el sacrificio de las especificaciones del ADC en comparación con su contraparte dedicada.

En el mercado hay diversos microcontroladores con ADC, desde microcontroladores de 8 bits, que contienen ADC SAR de 10 bits y 8 canales [11] hasta los más modernos microcontroladores con arquitectura ARM de 32 bits con diversos módulos de comunicaciones incluyendo un ADC tipo SAR de hasta 16 bits con 24 canales y muestreos de hasta 6 Msps teóricos [12] [13].

Una de las particularidades de los ADC integrados en microcontroladores de 32 bits es su capacidad de aumentar artificialmente su resolución a través del *oversampling* o sobre-muestreo. Esto quiere decir que se muestrea una señal n veces y al aplicar la media aritmética a los resultados combinados de las conversiones se obtiene una mejora en la resolución del ADC y de su SNR, con el costo de la reducción de la frecuencia

de muestreo máxima teórica de las especificaciones del fabricante y el uso del CPU para obtener el promedio de las muestras [14].

Por ejemplo, los microcontroladores de la serie Atmel SAM4E [13] tienen un ADC de 12 bits pero tiene un núcleo de cálculo para sobre-muestreo que permite obtener las resoluciones mostradas en la Tabla 1.

Tabla 1. Relación resolución y sobre-muestreo para microcontrolador Atmel SAM4E [13].

Resolución	Relación para sobre-muestreo
13-bit	4
14-bit	16
15-bit	64
16-bit	256

Otra característica de los microcontroladores con ADC integrado es la degradación de la resolución del ADC debido a las numerosas fuentes de ruido que provienen del mismo microcontrolador. Este fenómeno, medido en cantidad de bits efectivos (ENOB) se muestra en la Figura 3. Se observa la reducción de la resolución del ADC de 16 bits integrado del microcontrolador Kinetis Familia MKL28Z del fabricante NXP Semiconductors [12].

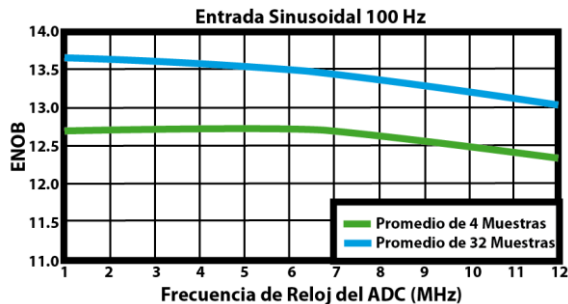


Figura 3. Número de bits efectivos del microcontrolador MKL28Z con sobre-muestreo de 4 y 32 muestras y entrada single-ended [12].

Cabe destacar que el sobre-muestreo tiene sus límites de funcionamiento. Para que esta técnica de sobre-muestreo y promediado sea efectiva, el ruido del ADC debe ser aproximado a ruido blanco. El ruido blanco tiene la característica de poseer una densidad espectral de potencia uniforme sobre la banda de interés. De no ser así, esta técnica no aporta ninguna mejora [14].

En su mayoría, los microcontroladores con ADC integrado tienen opción de múltiples canales de entrada. Sin embargo estos canales son multiplexados hacia un solo circuito de

muestreo y retención (S/H, por sus siglas en inglés) tal como se muestra en la Figura 4. Esto trae la desventaja de crear retrasos inducidos entre canales al momento de muestrear las señales y reducir drásticamente la frecuencia de muestreo efectiva por canal al compartir el mismo convertidor con cada uno de los canales activos.

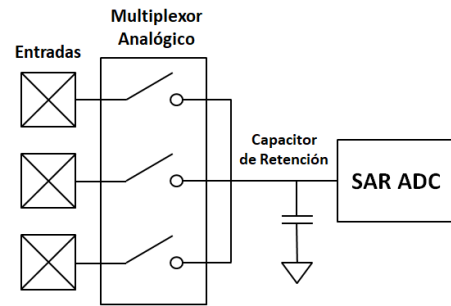


Figura 4. Multiplexado de entradas usualmente empleado en microcontroladores con ADC integrado, el capacitor de retención es parte del circuito S/H.

Por otro lado, en las soluciones monolíticas de ADC existen convertidores multicanal, donde cada canal analógico de entrada tiene su propio circuito S/H tal como el circuito integrado LTC2345-16 (Figura 5, izquierda) o en su defecto, cada canal contiene su propio ADC tal como el dispositivo LTC2324-16 (Figura 5, derecha). En el primer ejemplo se resuelve el problema del retraso de la señal entre canales sin embargo persiste la disminución de la frecuencia de muestreo efectiva por canal. En el otro ejemplo, al contar cada canal con su propio convertidor, se hace evidente el aprovechamiento de la capacidad de muestreo del ADC.

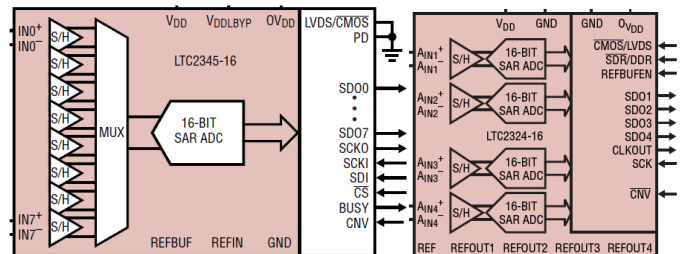


Figura 5. ADC multicanal con circuitos S/H individuales y multiplexados a un único convertidor (izquierda) [15] y ADC multicanal con convertidores independientes por canal (derecha) [16].

3. SELECCIÓN Y APLICACIÓN DE UN ADC EN UN SISTEMA DE ADQUISICIÓN DE DATOS.

Las opciones existentes en el mercado son tan diversas que hay una selección muy amplia de convertidores ADC por las cuales un diseñador de sistemas de adquisición de datos puede decantarse.

3.1. Propuesta de Diseño.

Se propone la utilización de un ADC monolítico conectado a un FPGA para la conversión y adquisición de datos para un sistema de instrumentación, utilizado en las pruebas de simulación de impacto realizadas en el sector automotriz. Este tipo de tarjetas deben acatar diversos parámetros establecidos en la norma SAEJ-211 [17], los siguientes son relevantes para la selección de un ADC en específico:

- **Error de Linealidad:** el valor absoluto del error en la magnitud del canal de datos debe ser menor o igual a 2.5% del valor nominal de la amplitud máxima del intervalo de medición.
- **Retraso relativo de tiempo:** el retraso entre dos o más canales de datos independientemente de su clase de frecuencia de canal (CFC) no debe exceder 1 ms excluyendo el retraso debido al desplazamiento de fase. Dos o más canales de datos cuyas señales son combinadas deberán tener el mismo CFC y no deberá tener un retraso relativo mayor a $1/(10 \cdot F_H)$ s (F_H es la frecuencia de canal).
- **Frecuencia de Muestreo:** El mínimo aceptable es una función de diversas variables. En general se aconseja que sea de mínimo 10 veces F_H . Para CFC-1000 se recomienda que se obtengan 10,000 muestras por segundo como mínimo.
- **Resolución:** Palabras digitales de al menos 10 bits (incluyendo signo) deberán ser usadas para asegurar una precisión razonable en el procesamiento de señales. En sistemas donde el rango dinámico de los datos es menor al 50% de la escala de conversión del ADC, una resolución mayor será requerida. El bit menos significativo deberá corresponder aproximadamente a 0.2% de la amplitud total del canal de datos (CAC).

Revisando los distintos ADC existentes en el mercado se eligió el circuito integrado LTC2345-16, el cual es un ADC de bajo ruido de tipo SAR de 16 bits efectivos que tiene 8 canales con circuitos Muestreo-Retención individuales con una frecuencia de muestreo máxima de 200 ksp/s usando los 8 canales disponibles, y de 1 Msp/s para un solo canal activo.

Por sus características, el ADC LTC2345-16 cumple los requerimientos antes mencionados de la norma de frecuencia de muestreo (60 ksp/s para CFC-600 y 100 ksp/s para CFC-1000), resolución (10 bits mínimo) y retraso relativo de canal, el cual, prácticamente es inexistente en el ADC debido a su estructura interna de un circuito S/H por canal.

La Figura 5 (izquierda) se muestra la arquitectura del ADC comercial seleccionado. Este tiene dos formas de comunicación

digital: SPI paralelo y LVDS. Se optó por utilizar el canal SPI paralelo. Aunque el protocolo SPI es en principio serial, en este circuito integrado se incluyen 8 canales de salida de datos en serie con el propósito de transferir los datos en el menor tiempo posible. Esta interface aunque simple, difícilmente es aprovechada por un microcontrolador debido a la alta velocidad de reloj (40 MHz). Por tanto, en este diseño, se utilizó un FPGA para la transferencia de la información.

La utilización de un circuito digital tipo FPGA tiene muchas ventajas entre las cuales se pueden destacar:

Concurrencia: al FPGA se le pueden anexar más canales ADC, ampliando de forma flexible la capacidad del sistema de adquisición de datos. Igualmente, la concurrencia contribuye a un mejor aprovechamiento de recursos y tiempo de procesamiento, al momento de implementar el procesamiento digital de señales, si es requerido en un sistema DAQ.

Expansión de memoria: Otro elemento clave en un sistema de adquisición de datos es la cantidad de memoria volátil y no volátil que éste pueda tener. Con un microcontrolador se tienen recursos limitados de memoria interna. La capacidad de expansión para periféricos adicionales en los microcontroladores, en especial para memorias en paralelo, se ve mermada debido a que requieren una gran cantidad de pines de propósito general (los cuales comparten pines con otros módulos internos), disminuyendo considerablemente las capacidades del microcontrolador. Con el FPGA esto no es ninguna limitante, debido a su alta flexibilidad para configurar el hardware lógico en su interior y a su gran cantidad de pines.

Finalmente, la selección de un ADC dedicado por sobre un microcontrolador con ADC integrado, es la capacidad de aislar de forma más estricta las etapas analógicas de las digitales. Un circuito de señal mixta, como lo es una tarjeta de adquisición de datos, debe tener bien diferenciadas y aisladas cada etapa y cuidar que el ruido de la sección digital no se introduzca en las etapas analógicas y contamine las señales. Esto permite mantener la integridad de la señal. No separar apropiadamente las etapas digital y analógica es la principal razón del porqué la calidad de los ADC integrados en microcontroladores se ve reducida y reflejada en una menor cantidad de bits efectivos (ENOB) como la mostrada en la Figura 3.

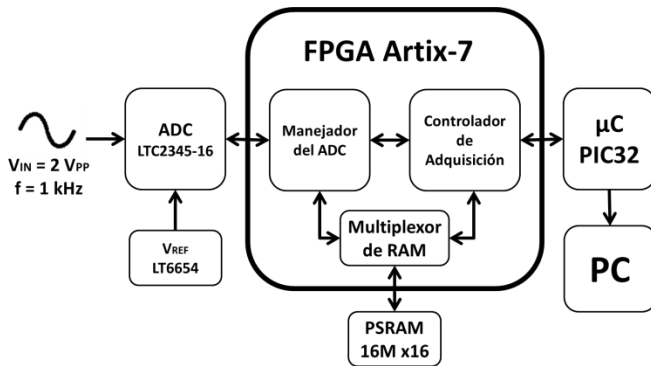


Figura 6. Diagrama a bloques del sistema propuesto.

En la Figura 6 se muestra la propuesta del sistema de adquisición de datos resumida. Las señales digitales del ADC propuesto se conectan a una tarjeta de desarrollo Nexys 4 que tiene un FPGA Artix-7 de Xilinx, en la cual se adquieren y se almacenan los datos en una memoria RAM y la transferencia de datos desde el FPGA hacia una PC se realiza a través de un microcontrolador PIC32.

Los bloques internos del FPGA consisten en:

Manejador del ADC: Este es el encargado de configurar el ADC para seleccionar el canal, la frecuencia de muestreo y tipo de referencia a utilizar. En el momento de la adquisición realiza la labor de capturar de manera instantánea los bits provenientes del canal de datos tipo SPI. Al terminar de transmitirse el dato, éste pasa a la memoria RAM de forma inmediata. A futuro se planea expandir la capacidad del sistema para la captura simultánea de 8 canales con el ADC seleccionado, incluso considerar el incremento a 16, 24 o más canales analógicos al añadir dos, tres o más integrados LTC2345-16.

Multiplexor de la RAM: Es el bloque encargado de controlar los accesos de lectura y escritura de la memoria RAM. Este multiplexor puede ser expandido de forma flexible para un aumento de la cantidad de RAM disponible de acuerdo a los requerimientos del sistema.

Controlador de Adquisición: Este es el bloque que lleva a cabo las labores de comunicación entre la memoria RAM, el manejador del ADC y el microcontrolador PIC32 externo. El controlador recibe los comandos del microcontrolador a través de un puerto SPI esclavo, especialmente dedicado para la aplicación. De acuerdo al comando recibido el controlador configurará e iniciará o leerá un bloque de la memoria RAM para extraer los datos adquiridos. Este bloque, debido a la flexibilidad del FPGA se puede expandir. Por ejemplo, incluir una memoria no volátil tipo FLASH para guardar datos y configuraciones y enriquecer las capacidades del sistema.

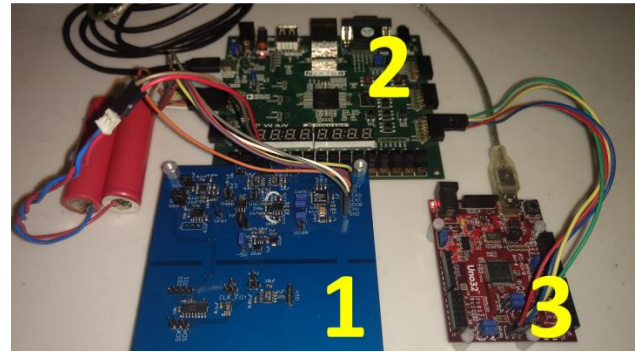


Figura 7. Sistema propuesto de adquisición de datos: Tarjeta experimental con el ADC seleccionado (1), Tarjeta de desarrollo Nexys 4 (2), Tarjeta de desarrollo Chipkit Uno32 con microcontrolador PIC32(3).

En la Figura 7 se muestra la fase experimental del sistema de adquisición de datos, se pueden apreciar la tarjeta del ADC realizada a la medida para la obtención y validación de resultados. Contiene el ADC LTC2345-16 con su voltaje de referencia LT6654, el cual otorga un voltaje de 2.048 V con una precisión de 0.05% [17]. También se muestra la tarjeta de desarrollo Nexys 4 en donde se realizó la monitorización y depuración de la implementación descrita en VHDL del FPGA Artix-7 XC7A100T-CSG324 y con la tarjeta de desarrollo ChipKit Uno32, el cual contiene el microcontrolador PIC32MX320F128H que realiza la labor de comunicación USB-UART y la transferencia de datos desde la RAM del sistema DAQ hacia la PC.

4. RESULTADOS

Al sistema mostrado en la Figura 7, se le aplicó una señal sinusoidal de 2 V_{pp} con una frecuencia de 1 kHz. Se utilizó una frecuencia de muestreo en el ADC de 500 kps y se adquirieron 524,288 datos con el FPGA para ser posteriormente transferidos a la PC y analizados con el software MATLAB. En la Figura 8 se observa la señal de entrada sinusoidal digitalizada.

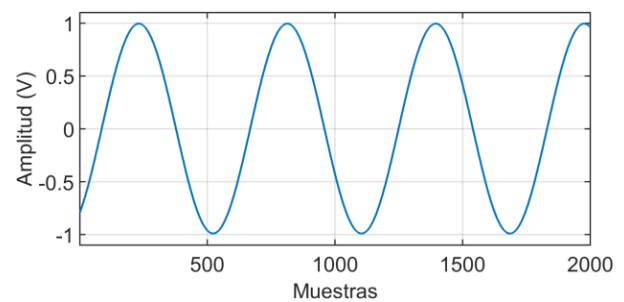


Figura 8. Primeras 2000 muestras de los datos capturados.

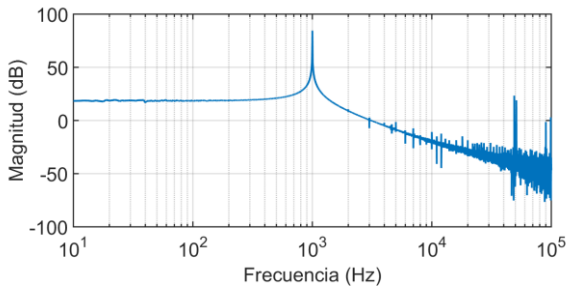


Figura 9. Espectro de frecuencia con la transformada rápida de Fourier (FFT) de los datos capturados.

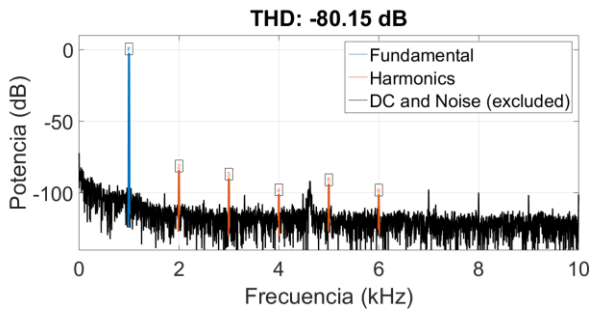


Figura 10. Distorsión armónica total de los datos capturados.

En la Figura 9 se observa la componente principal de la señal con frecuencia de 1 kHz y se tiene un espectro libre de interferencias. La banda base especificada en la norma SAEJ-211 para CFC-600 y CFC-1000 [17] se ubica en el intervalo de espectro antes mencionado.

En la Figura 10 se muestra la distorsión armónica (THD) total del ADC. La THD calculada del ADC LTC2345-16 en la tarjeta de la Figura 7 es de -80.15 dB, esto equivale a 0.009% de distorsión en la amplitud de la señal en el canal del convertidor. Por tanto, la implementación propuesta entra dentro de la tolerancia de 2.5% del error en amplitud establecido en la norma SAEJ-211.

5. CONCLUSIONES

Se realizó un análisis de las características fundamentales de los ADC. Se revisaron los convertidores disponibles comercialmente de acuerdo a sus características y se seleccionó un ADC que satisficiera los requerimientos de diseño de una tarjeta DAQ para pruebas de simulación de impacto automotriz. Se construyó el circuito del ADC seleccionado en una tarjeta PCB y se implementó la parte digital en tarjetas de desarrollo. Se desarrollaron los módulos de adquisición y almacenamiento de datos del DAQ en un FPGA y se comprobó su correcto funcionamiento y capacidad de expansión. Se obtuvieron resultados satisfactorios respecto a resolución, frecuencia de muestreo, respuesta en frecuencia y distorsión armónica total (THD), características que demuestran que el sistema DAQ

diseñado está dentro de los parámetros de la norma SAEJ-211 y por tanto, es viable para la aplicación propuesta.

6. REFERENCIAS.

- [1] S. Mackay J. Park, Practical Data Acquisition for Instrumentation and Control Systems, Primera ed. Great Britain: Elsevier, 2003.
- [2] M. Di Paolo Emilio, Data Acquisition Systems From Fundamentals to Applied Design, Primera ed. New York, USA, Springer, 2013.
- [3] F. Ohnhäuser, Analog-Digital Converters for Industrial Applications Including an Introduction to Digital-Analog Converters, Germany, 2015.
- [4] S. Yan, B. Jalali, P. Zhang, J. Wilson, M. Ismail, A low-voltage CMOS 5-bit 600MHz 30mW SAR ADC for UWB wireless receivers, 48th Midwest Symposium on Circuits and Systems, Kentucky, USA, 2005.
- [5] M. Liu, A.v. Roermund, P. Harpe, A 10b 20MS/s SAR ADC with a Low Power and Area-Efficient DAC-Compensated Reference, ESSCIRC 2017 - 43rd IEEE European Solid State Circuits Conference, Sept 2017.
- [6] D. J. Moni, S. M. José, Design of 10b SAR ADC for Biomedical Applications, 2015 2nd International Conference on Electronics and Communication Systems (ICECS), 2015.
- [7] Analog Devices, 32-Bit, 10kSPS, Sigma-Delta ADC with 100us Settling and True Rail-to-Rail Buffers, 2016 [en línea] disponible: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD7177-2.pdf> Sitio visitado Junio 2018.
- [8] Analog Devices, 32-bit Oversampling ADC with Configurable Digital Filter, 2018 [en línea] disponible <http://www.analog.com/media/en/technical-documentation/data-sheets/250032fb.pdf> Sitio visitado Junio 2018.
- [9] Maxim Integrated, Analog-to-Digital Converters, 2018, [en línea] disponible: <https://www.maximintegrated.com/en/products/analog/data-converters/analog-to-digital-converters.html> Sitio visitado Junio 2018.
- [10] Analog Devices, JESD204B Survival Guide, 2014 [en línea] disponible: <http://www.analog.com/media/en/technical-documentation/technical-articles/JESD204B-Survival-Guide.pdf> Sitio visitado: Junio 2018.
- [11] Microchip Technology, Atmel 8 bit AVR Microcontroller ATmega328/P Datasheet Complete, [en línea] disponible: http://ww1.microchip.com/downloads/en/DeviceDoc/Atmel-42735-8-bit-AVR-Microcontroller-ATmega328-328P_Datasheet.pdf Sitio visitado: Junio 2018.
- [12] NXP Semiconductors, MKL28Z512Vxx7 Technical Data, [en línea] disponible: <https://www.nxp.com/docs/en/data-sheet/MKL28Z512Vxx7.pdf> sitio visitado: Junio 2018.
- [13] Microchip Technology, Atmel SAM4E Series Datasheet, [en línea], disponible: http://ww1.microchip.com/downloads/en/DeviceDoc/Atmel-11157-32-bit-Cortex-M4-Microcontroller-SAM4E16-SAM4E8_Datasheet.pdf sitio visitado Junio 2018.
- [14] Silicon Labs, Improving ADC Resolution by Oversampling and Averaging, 2013, [en línea], disponible: <https://www.silabs.com/documents/public/application-notes/an118.pdf> sitio visitado: Junio 2018
- [15] Linear Technology, Octal, 16-Bit, 200ksps Differential SoftSpan ADC with Wide Input Common Mode Range, 2016, [en línea], disponible: <http://www.analog.com/media/en/technical-documentation/data-sheets/234516f.pdf> sitio visitado: Junio 2018.
- [16] Linear Technology, Quad, 16-Bit, 2MSPS/Ch Simultaneous Sampling ADC, 2016, [en línea], disponible: <http://www.analog.com/media/en/technical-documentation/data-sheets/232416f.pdf> sitio visitado: Junio 2018.
- [17] SAE International Standards. Instrumentation for Impact Test- Part 1- Electronic Instrumentation. USA, 1995.
- [18] Linear Technology, LT6654, Precision Wide Supply High Output Drive, Low Noise Reference, 2010, [en línea], disponible: <http://www.analog.com/media/en/technical-documentation/data-sheets/6654fh.pdf>